

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3046269号

(P3046269)

(45) 発行日 平成12年 5 月29日 (2000. 5. 29)

(24) 登録日 平成12年 3 月17日 (2000. 3. 17)

(51) Int.Cl. ⁷	識別記号	F I	
G 0 6 F 17/50		G 0 6 F 15/60	6 6 8 A
G 0 1 R 31/28			6 6 6 S
H 0 1 L 21/82		H 0 1 L 21/82	C
			T
		G 0 1 R 31/28	F
請求項の数 9 (全 15 頁)			

(21) 出願番号 特願平9-301654
(22) 出願日 平成 9 年11月 4 日 (1997. 11. 4)
(65) 公開番号 特開平10-228497
(43) 公開日 平成10年 8 月25日 (1998. 8. 25)
審査請求日 平成 9 年11月 5 日 (1997. 11. 5)
(31) 優先権主張番号 特願平8-330523
(32) 優先日 平成 8 年12月11日 (1996. 12. 11)
(33) 優先権主張国 日本 (J P)

(73) 特許権者 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72) 発明者 岩西 信房
大阪府門真市大字門真1006番地 松下電
器産業株式会社内
(72) 発明者 川上 善之
大阪府門真市大字門真1006番地 松下電
器産業株式会社内
(74) 代理人 100077931
弁理士 前田 弘 (外 2 名)

審査官 月野 洋一郎

(56) 参考文献 特開 平10-124565 (J P, A)

最終頁に続く

(54) 【発明の名称】 ホットキャリア劣化推定方法

1

(57) 【特許請求の範囲】

【請求項 1】 セルレベルで設計された L S I をタイミ
ング検証する際に、ホットキャリアの影響による信頼性
の劣化を推定するホットキャリア劣化推定方法であっ
て、

対象とする L S I についての各セルの特性情報、セルお
よびセル間配線の接続情報、並びにセル間配線の抵抗値
および容量値などの特性情報を含む回路情報と、セルの
遅延を計算するための遅延パラメータを格納した遅延ラ
イブラリとを基にして、前記 L S I の各セルについて、
遅延、入力端子における信号波形傾き、および出力端子
に接続された負荷容量を計算する遅延計算ステップと、
ホットキャリアの影響によるセルの遅延の変化を、セル
動作回数に伴う遅延パラメータの変化によって表した遅
延劣化パラメータと、前記遅延ライブラリとを基に、前

2

記 L S I が所定期間動作したときの各セルの推定動作回
数と、前記遅延計算ステップにおいて計算した各セルの
入力波形傾きおよび出力負荷容量とを用いて、前記 L S
I が前記所定期間動作した後の各セルの遅延パラメータ
を求め、この遅延パラメータを格納した遅延劣化ライ
ブラリを生成する遅延劣化ライブラリ生成ステップとを備
え、

前記遅延計算ステップおよび遅延劣化ライブラリ生成ス
テップを所定回数繰り返し実行し、繰り返しの 2 回目以
降では、前回実行した遅延劣化ライブラリ生成ステップ
において生成した遅延劣化ライブラリを遅延ライブラリ
の代わりに用いて、前記遅延計算ステップおよび遅延劣
化ライブラリ生成ステップを実行するものであり、
最後に実行した遅延計算ステップにおいて計算した各セ
ルの遅延を基にして、前記 L S I の、ホットキャリアの

影響による信頼性の劣化を推定することを特徴とするホットキャリア劣化推定方法。

【請求項2】 請求項1記載のホットキャリア劣化推定方法において、

前記遅延計算ステップは、

前記回路情報および遅延ライブラリを基にして、各セルについて、当該セルの駆動能力と当該セルが駆動するセルおよびセル間配線の特性とから、出力端子における信号波形を生成するセル出力波形生成ステップと、

前記回路情報および前記セル出力波形生成ステップにおいて生成した各セルの出力波形を基にして、各セルについて、入力端子における波形を生成するとともに、入力波形傾きおよび出力負荷容量を計算するセル入力波形生成ステップと、

前記セル入力波形生成ステップおよびセル出力波形生成ステップにおいて生成した各セルの入力波形および出力波形から、各セルの遅延を計算するセル遅延計算ステップと、

前記セル入力波形生成ステップおよびセル出力波形生成ステップにおいて生成した各セルの入力波形および出力波形から、各セル間配線の遅延を計算する配線遅延計算ステップとを備えていることを特徴とするホットキャリア劣化推定方法。

【請求項3】 請求項1記載のホットキャリア劣化推定方法において、

前記遅延計算ステップは、

前記LSIの入力信号が各セルを伝播することを想定して、各セルについて、遅延、並びに入力波形傾きおよび出力負荷容量を計算するものであることを特徴とするホットキャリア劣化推定方法。

【請求項4】 請求項3記載のホットキャリア劣化推定方法において、

前記遅延計算ステップは、

前記回路情報および遅延ライブラリを基にして、各セルについて、当該セルの駆動能力と当該セルが駆動するセルおよびセル間配線の特性とから、出力端子における信号波形を生成するセル出力波形生成ステップと、

前記回路情報および前記セル出力波形生成ステップにおいて生成した各セルの出力波形を基にして、各セルについて、入力端子における波形を生成するとともに、入力波形傾きおよび出力負荷容量を計算するセル入力波形生成ステップと、

前記セル入力波形生成ステップおよびセル出力波形生成ステップにおいて生成した各セルの入力波形および出力波形から、各セルの遅延を計算するセル遅延計算ステップと、

前記セル入力波形生成ステップおよびセル出力波形生成ステップにおいて生成した各セルの入力波形および出力波形から、各セル間配線の遅延を計算する配線遅延計算ステップとを備え、

前記セル出力波形生成ステップは、各セルについて、前記セル入力波形生成ステップによって生成した当該セルの入力波形に基づいて、出力波形を生成するものであることを特徴とするホットキャリア劣化推定方法。

【請求項5】 請求項1記載のホットキャリア劣化推定方法において、

対象とするLSIにおいて、静的に活性化できない経路であるフォールスパスを検出するフォールスパス検出ステップと、

前記フォールスパス検出ステップによって検出したフォールスパスの終端に位置するセルを、前記遅延劣化ライブラリ生成ステップにおいて遅延パラメータを求める対象から除去するセル除去ステップとを備えていることを特徴とするホットキャリア劣化推定方法。

【請求項6】 請求項1記載のホットキャリア劣化推定方法において、

前記回路情報に含まれたセル間配線の配線抵抗および配線容量を、経時劣化を推定して更新する配線劣化算出ステップを備えていることを特徴とするホットキャリア劣化推定方法。

【請求項7】 セルレベルで設計されたLSIをタイミング検証する際に、ホットキャリアの影響による信頼性の劣化を推定するホットキャリア劣化推定方法であって、

所定回数動作したときのセルの遅延を計算するための遅延パラメータを格納し、かつ、セルの動作回数がそれぞれ異なる複数の遅延ライブラリからなる遅延ライブラリ群を準備しておく、

前記遅延ライブラリ群を基にして、対象とするLSIが

所定期間動作したときの各セルの推定動作回数を用いて、各セルについて、前記推定動作回数だけ動作したときの遅延パラメータを求め、これらの遅延パラメータを格納した遅延劣化ライブラリを生成する遅延劣化ライブラリ生成ステップと、

前記遅延劣化ライブラリと、前記LSIについての各セルの特性情報、セルおよびセル間配線の接続情報、並びにセル間配線の抵抗値および容量値などの特性情報を含む回路情報とを基にして、前記LSIについて、各セルの遅延を計算する遅延計算ステップとを備え、

前記遅延計算ステップによって計算した各セルの遅延を基にして、前記LSIの、ホットキャリアの影響による信頼性の劣化を推定することを特徴とするホットキャリア劣化推定方法。

【請求項8】 請求項7記載のホットキャリア劣化推定方法において、

前記遅延劣化ライブラリ生成ステップは、

各セルについて、前記遅延ライブラリ群から、当該セルの推定動作回数に近い動作回数に対応する2個の遅延ライブラリを選択し、この2個の遅延ライブラリに格納された当該セルの遅延パラメータを基にして、補間によ

り、前記推定動作回数だけ動作したときの遅延パラメータを求めるものであることを特徴とするホットキャリア劣化推定方法。

【請求項9】セルレベルで設計されたLSIをタイミング検証する際に、ホットキャリアの影響による信頼性の劣化を推定するホットキャリア劣化推定方法であって、

対象とするLSIについての各セルの特性情報、セルおよびセル間配線の接続情報、並びにセル間配線の抵抗値および容量値などの特性情報を含む回路情報と、セルの遅延を計算するための遅延パラメータを格納した遅延ライブラリとを基にして、前記LSIの各セルについて、遅延、入力端子における信号波形傾き、および出力端子に接続された負荷容量を計算する遅延計算ステップと、ホットキャリアの影響によるセルの遅延の変化を、セル動作回数に伴う遅延パラメータの変化によって表した遅延劣化パラメータを基に、前記LSIが所定期間動作したときにおける各セルの推定動作回数と、前記遅延計算ステップにおいて計算した入力波形傾きおよび出力負荷容量とを用いて、前記LSIが前記所定期間動作したときの各セルの遅延の変化である遅延劣化量を計算する遅延劣化量計算ステップと、

前記LSIの各セルについて、前記遅延計算ステップにおいて計算した遅延と前記遅延劣化量計算ステップにおいて計算した遅延劣化量とを加えることによって、遅延を計算する劣化後遅延計算ステップとを備え、

前記劣化後遅延計算ステップにおいて計算した各セルの遅延を基にして、前記LSIのホットキャリアの影響による信頼性の劣化を推定することを特徴としたホットキャリア劣化推定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、セルレベルで設計されたLSIをタイミング検証する技術に関するものであり、特に、ホットキャリアの影響による信頼性の劣化を推定すべく、劣化後の遅延を計算する方法に関するものである。

【0002】

【従来の技術】LSIの設計・製造において、半導体プロセス技術の進歩により、ディープサブミクロンと呼ばれる0.5μm未満のデザインルールによる素子の微細化が達成されている。近年では、システム・オン・シリコン時代と呼ばれるように、1チップにシステム全体が搭載可能なほど高集積化されたLSIチップが開発されはじめている。

【0003】一方、素子の微細化はLSIの動作の信頼性の面で問題となることがあり、最小加工寸法がサブミクロンオーダーになってからは、LSIチップの設計の際には、半導体の物理的現象までも考慮しなければならないようになっている。中でも、ホットキャリア効果に

よる信頼性の劣化は最も大きな問題の1つである。

【0004】以下、ホットキャリア劣化について簡単に説明する。MOSFETのチャンネル中の電界Eは、単純には、

$$E = V_{ds} / L_{eff}$$

で表される。ここで、 V_{ds} はドレイン・ソース間電圧、 L_{eff} は実効チャンネル長である。実際にはチャンネル中の電界Eはドレイン近傍の空乏層領域に集中するので、その最大値は上式で求められる値よりもかなり高くなる。

【0005】MOSFETの微細化によって実効チャンネル長 L_{eff} が小さくなったとき、上式から明らかなように、実効チャンネル長 L_{eff} に比例してドレイン・ソース間電圧 V_{ds} も小さくなれば、電界Eは増加しない。ところが現実にはこのような条件は満たされておらず、微細化の進展とともにチャンネル電界Eは増大する。

【0006】素子が微細化されたとき、電源電圧が変わらなければ、チャンネル長とホットエレクトロン臨界電界との積がトランジスタの動作電圧に近づく。このため、電子は十分なエネルギーを与えられ、境界のエネルギーバリアを越えてゲート酸化膜中に侵入することがある。侵入した電子はトラップされて蓄積し、やがてスレッショルド電圧 V_{th} の上昇を引き起こす。トランジスタの電流は $(V_{gs} - V_{th})^2$ に比例する(V_{gs} はゲート・ソース間電圧)ので、スレッショルド電圧 V_{th} の上昇によって、相互コンダクタンスおよび電流のドライブ能力が劣化する。

【0007】このようなホットエレクトロンによるスレッショルド電圧 V_{th} の劣化は年月の経過とともに生じる。すなわち、トランジスタが動作する累積時間が多くなればなるほど劣化は進み、動作速度が鈍る。

【0008】劣化を遅らせるにはチャンネル中の電界Eを下げるべく電源電圧を下げればよいが、微細化によって実効チャンネル長 L_{eff} が小さくなるので、電源電圧を下げてでもチャンネル電界Eが下がるかどうかは一概にはわからない。また、トランジスタを流れる電流量を下げると劣化を遅らせることはできるが、この場合にはトランジスタのドライブ能力が下がるので好ましくない(Addison-Wesley Publishing Company, Inc. "Circuits, Interconnections, and Packaging for VLSI," ("VLSIシステム設計-回路と実装の基礎-") 丸善株式会社出版) 参照)。

【0009】従来、このようなホットキャリア効果による信頼性劣化の推定はトランジスタレベルで行われていた。例えば、回路シミュレータにホットキャリア劣化モデルを組み込み、劣化トランジスタを判定する方法(特開平1-94484号公報参照)や、劣化率式中の指数のストレス依存性を求め、ACストレス下でのホットキャリア劣化をシミュレーションする方法(特開平7-99302号公報参照)等がある。

【0010】

10

20

30

40

50

【発明が解決しようとする課題】従来、LSIの経年変化に対する信頼性を保証するために、トランジスタ単体で行ったホットキャリア劣化の推定結果を基にして、タイミング検証を行っていた。この場合、LSIの信頼性を確実に保証するために、通常は、トランジスタの動作回数として、予想される最も多い回数を想定していた。

【0011】ところが実際には、前述したように、信頼性劣化の程度はトランジスタの動作時間によって異なり、また、LSIを構成するトランジスタが全て同じ時間だけ動作するとは考えられない。すなわち従来の方法では、信頼性保証が過度になりがちである。

【0012】また、いわば最悪の状態を想定して信頼性保証をするので、微細化寸法および電源電圧がすでに設定されている場合には、結果として、トランジスタを流れる電流量の引き下げが必要になることが多い。電流量の引き下げを実現するには、ゲート酸化膜を厚くしてトランジスタのドライブ能力を下げることが多いが、ところがこの場合にはLSIの動作速度は遅くなるので、この結果、高速なLSIチップを作ることができなくなる。

【0013】したがって、LSIのホットキャリア劣化をその実際の動作に即して推定する方法が要求される。

【0014】前記の問題に鑑み、本発明は、ホットキャリアの影響によるLSIの信頼性の劣化を、その実際の動作に即して推定するホットキャリア劣化推定方法を提供する。

【0015】

【課題を解決するための手段】前記の課題を解決するため、請求項1の発明が講じた手段は、セルレベルで設計されたLSIをタイミング検証する際に、ホットキャリアの影響による信頼性の劣化を推定するホットキャリア劣化推定方法として、対象とするLSIについての各セルの特性情報、セルおよびセル間配線の接続情報、並びにセル間配線の抵抗値および容量値などの特性情報を含む回路情報と、セルの遅延を計算するための遅延パラメータを格納した遅延ライブラリとを基にして、前記LSIの各セルについて、遅延、入力端子における信号波形傾き、および出力端子に接続された負荷容量を計算する遅延計算ステップと、ホットキャリアの影響によるセルの遅延の変化をセル動作回数に伴う遅延パラメータの変化によって表した遅延劣化パラメータと、前記遅延ライブラリとを基に、前記LSIが所定期間動作したときの各セルの推定動作回数と、前記遅延計算ステップにおいて計算した各セルの入力波形傾きおよび出力負荷容量とを用いて、前記LSIが前記所定期間動作した後の各セルの遅延パラメータを求め、この遅延パラメータを格納した遅延劣化ライブラリを生成する遅延劣化ライブラリ生成ステップとを備え、前記遅延計算ステップおよび遅延劣化ライブラリ生成ステップを所定回数繰り返し実行し、繰り返しの2回目以降では、前回実行した遅延劣化

ライブラリ生成ステップにおいて生成した遅延劣化ライブラリを遅延ライブラリの代わりに用いて、前記遅延計算ステップおよび遅延劣化ライブラリ生成ステップを実行するものであり、最後に実行した遅延計算ステップにおいて計算した各セルの遅延を基にして、前記LSIの、ホットキャリアの影響による信頼性の劣化を推定するものである。

【0016】請求項1の発明によると、遅延計算ステップにおいて、対象とするLSIの各セルについて、回路情報と遅延パラメータを格納した遅延ライブラリとを基にして、遅延、入力波形傾きおよび出力負荷容量を計算する。また、遅延劣化ライブラリ生成ステップにおいて、ホットキャリアの影響によるセルの遅延の変化をセル動作回数に伴う遅延パラメータの変化によって表した遅延劣化パラメータと、前記遅延ライブラリとを基に、前記LSIが所定期間動作したときの各セルの推定動作回数と、前記遅延計算ステップにおいて計算した各セルの入力波形傾きおよび出力負荷容量とを用いて、LSIが所定期間動作した後の各セルの遅延パラメータを格納した遅延劣化ライブラリを生成する。そして、前記遅延計算ステップおよび遅延劣化ライブラリ生成ステップは所定回数繰り返され、しかも繰り返しの2回目以降では、遅延ライブラリの代わりに前回実行した遅延劣化ライブラリ生成ステップにおいて生成した遅延劣化ライブラリを用いるので、最後に実行した遅延計算ステップにおいて計算した各セルの遅延は、前記LSIが、前記所定期間と繰り返し回数との積に相当する期間動作した後におけるものになる。したがって、対象とするLSIの実際の動作に即したホットキャリア劣化を推定することができる。

【0017】そして、請求項2の発明では、前記請求項1のホットキャリア劣化推定方法における遅延計算ステップは、前記回路情報および遅延ライブラリを基にして、各セルについて、当該セルの駆動能力と当該セルが駆動するセルおよびセル間配線の特性とから、出力端子における信号波形を生成するセル出力波形生成ステップと、前記回路情報および前記セル出力波形生成ステップにおいて生成した各セルの出力波形を基にして、各セルについて、入力端子における波形を生成するとともに、入力波形傾きおよび出力負荷容量を計算するセル入力波形生成ステップと、前記セル入力波形生成ステップおよびセル出力波形生成ステップにおいて生成した各セルの入力波形および出力波形から、各セルの遅延を計算するセル遅延計算ステップと、前記セル入力波形生成ステップおよびセル出力波形生成ステップにおいて生成した各セルの入力波形および出力波形から、各セル間配線の遅延を計算する配線遅延計算ステップとを備えているものとする。

【0018】また、請求項3の発明では、前記請求項1のホットキャリア劣化推定方法における遅延計算ステッ

づは、前記LSIの入力信号が各セルを伝播することを想定して、各セルについて、遅延、並びに入力波形傾きおよび出力負荷容量を計算するものとする。

【0019】そして、請求項4の発明では、前記請求項3のホットキャリア劣化推定方法における遅延計算ステップは、前記回路情報および遅延ライブラリを基にして、各セルについて、当該セルの駆動能力と当該セルが駆動するセルおよびセル間配線の特性とから、出力端子における信号波形を生成するセル出力波形生成ステップと、前記回路情報および前記セル出力波形生成ステップにおいて生成した各セルの出力波形を基にして、各セルについて、入力端子における波形を生成するとともに、入力波形傾きおよび出力負荷容量を計算するセル入力波形生成ステップと、前記セル入力波形生成ステップおよびセル出力波形生成ステップにおいて生成した各セルの入力波形および出力波形から、各セルの遅延を計算するセル遅延計算ステップと、前記セル入力波形生成ステップおよびセル出力波形生成ステップにおいて生成した各セルの入力波形および出力波形から、各セル間配線の遅延を計算する配線遅延計算ステップとを備え、前記セル出力波形生成ステップは、各セルについて、前記セル入力波形生成ステップによって生成した当該セルの入力波形に基づいて、出力波形を生成するものとする。

【0020】また、請求項5の発明では、前記請求項1のホットキャリア劣化推定方法は、対象とするLSIにおいて、静的に活性化できない経路であるフォールスパスを検出するフォールスパス検出ステップと、前記フォールスパス検出ステップによって検出したフォールスパスの終端に位置するセルを、前記遅延劣化ライブラリ生成ステップにおいて遅延パラメータを求める対象から除去するセル除去ステップとを備えているものとする。

【0021】さらに、請求項6の発明では、前記請求項1のホットキャリア劣化推定方法は、前記回路情報に含まれたセル間配線の配線抵抗および配線容量を、経時劣化を推定して更新する配線劣化算出ステップを備えているものとする。

【0022】また、前記の課題を解決するために、請求項7の発明が講じた解決手段は、セルレベルで設計されたLSIをタイミング検証する際に、ホットキャリアの影響による信頼性の劣化を推定するホットキャリア劣化推定方法として、所定回数動作したときのセルの遅延を計算するための遅延パラメータを格納し、かつ、セルの動作回数がそれぞれ異なる複数の遅延ライブラリからなる遅延ライブラリ群を準備しておき、前記遅延ライブラリ群を基にして、対象とするLSIが所定期間動作したときの各セルの推定動作回数を用いて、各セルについて、前記推定動作回数だけ動作したときの遅延パラメータを求め、これらの遅延パラメータを格納した遅延劣化ライブラリを生成する遅延劣化ライブラリ生成ステップと、前記遅延劣化ライブラリと、前記LSIについての

各セルの特性情報、セルおよびセル間配線の接続情報、並びにセル間配線の抵抗値および容量値などの特性情報を含む回路情報とを基にして、前記LSIについて、各セルの遅延を計算する遅延計算ステップとを備え、前記遅延計算ステップによって計算した各セルの遅延を基にして、前記LSIの、ホットキャリアの影響による信頼性の劣化を推定するものである。

【0023】請求項7の発明によると、遅延劣化ライブラリ生成ステップにおいて、所定回数動作したときのセルの遅延を計算するための遅延パラメータを格納し、かつ、セルの動作回数がそれぞれ異なる複数の遅延ライブラリからなる遅延ライブラリ群を基にして、対象とするLSIの各セルについて、対象とするLSIが所定期間動作したときの推定動作回数を用いて遅延パラメータを求め、これらの遅延パラメータを格納した遅延劣化ライブラリを生成する。そして、遅延計算ステップにおいて、前記遅延劣化ライブラリおよび回路情報を基にして、前記LSIについて各セルの遅延を計算する。この各セルの遅延は、前記LSIが前記所定期間動作した後におけるものになる。したがって、対象とするLSIの実際の動作に即したホットキャリア劣化を推定することができる。

【0024】そして、請求項8の発明では、前記請求項7のホットキャリア劣化推定方法における遅延劣化ライブラリ生成ステップは、各セルについて、前記遅延ライブラリ群から、当該セルの推定動作回数に近い動作回数に対応する2個の遅延ライブラリを選択し、この2個の遅延ライブラリに格納された当該セルの遅延パラメータを基にして、補間により、前記推定動作回数だけ動作したときの遅延パラメータを求めるものとする。

【0025】また、請求項9の発明が講じた解決手段は、セルレベルで設計されたLSIをタイミング検証する際に、ホットキャリアの影響による信頼性の劣化を推定するホットキャリア劣化推定方法として、対象とするLSIについての各セルの特性情報、セルおよびセル間配線の接続情報、並びにセル間配線の抵抗値および容量値などの特性情報を含む回路情報と、セルの遅延を計算するための遅延パラメータを格納した遅延ライブラリとを基にして、前記LSIの各セルについて、遅延、入力端子における信号波形傾き、および出力端子に接続された負荷容量を計算する遅延計算ステップと、ホットキャリアの影響によるセルの遅延の変化をセル動作回数に伴う遅延パラメータの変化によって表した遅延劣化パラメータを基に、前記LSIが所定期間動作したときにおける各セルの推定動作回数と、前記遅延計算ステップにおいて計算した入力波形傾きおよび出力負荷容量とを用いて、前記LSIが前記所定期間動作したときの各セルの遅延の変化である遅延劣化量を計算する遅延劣化量計算ステップと、前記LSIの各セルについて、前記遅延計算ステップにおいて計算した遅延と前記遅延劣化量計算

ステップにおいて計算した遅延劣化量とを加えることによって、遅延を算出する劣化後遅延計算ステップとを備え、前記劣化後遅延計算ステップにおいて計算した各セルの遅延を基にして、前記LSIのホットキャリアの影響による信頼性の劣化を推定するものである。

【0026】請求項9の発明によると、遅延計算ステップにおいて、対象とするLSIの各セルについて、回路情報と遅延パラメータを格納した遅延ライブラリとを基にして、遅延、入力波形傾きおよび出力負荷容量を計算する。また、遅延劣化量計算ステップにおいて、ホットキャリアの影響によるセルの遅延の変化をセル動作回数に伴う遅延パラメータの変化によって表した遅延劣化パラメータを基に、前記LSIが所定期間動作したときにおける各セルの推定動作回数と、前記遅延計算ステップにおいて計算した入力波形傾きおよび出力負荷容量とを用いて、前記LSIが前記所定期間動作したときの各セルの遅延の変化である遅延劣化量を計算する。そして、劣化後遅延計算ステップにおいて、前記LSIの各セルについて、前記遅延計算ステップにおいて計算した遅延と前記遅延劣化量計算ステップにおいて計算した遅延劣化量とを加えることによって、遅延を計算する。この各セルの遅延は、前記LSIが前記所定期間動作した後におけるものになる。したがって、対象とするLSIの実際の動作に即したホットキャリア劣化を推定することができる。

【0027】

【発明の実施の形態】以下、本発明の実施形態について図面を参照しながら説明する。なお本発明において、セルは、基本論理セルおよび機能マクロブロックを含む概念であるものとする。

【0028】（第1の実施形態）本発明の第1の実施形態について、図1～図4を参照しながら説明する。図1は本発明の第1の実施形態に係るホットキャリア劣化推定方法を示すフローである。図1において、S10は対象とするLSIについての回路情報11およびセルおよびセル間配線の遅延を計算するために用いる遅延パラメータを格納した遅延ライブラリ12を基にして、前記LSIの遅延計算を行う遅延計算ステップ、S20は前記LSIが所定期間動作したときの各セルの遅延パラメータからなる遅延劣化ライブラリ19を生成する遅延劣化ライブラリ生成ステップ、S30は遅延計算ステップS10および遅延劣化ライブラリ生成ステップS20の繰り返しを制御する繰り返し制御ステップである。

【0029】遅延計算ステップS10は、各セルの入力端子における信号波形傾き（以下「入力波形傾き」という）13と、各セルの出力端子に接続された負荷容量（以下「出力負荷容量」という）14も計算する。入力波形傾き13および出力負荷容量14は、遅延劣化ライブラリ生成ステップS20において用いられる。

【0030】遅延劣化パラメータ16は、ホットキャリア

の影響によるセルの遅延の変化を、セル動作回数に伴う遅延パラメータの変化によって表したものである。この遅延劣化パラメータ16は入力波形傾きおよび出力負荷容量を条件としている。推定動作回数15は、セル遅延の変化を計算するために用いる、前記LSIが所定期間動作したときの各セルの推定動作回数である。また17は遅延計算ステップS10および遅延劣化ライブラリ生成ステップS20の繰り返し回数、18は遅延計算ステップS10によって計算された各セルおよび各セル間配線の遅延である。

【0031】回路情報11は、対象とするLSIについての各セルの特性情報、セルおよびセル間配線の接続情報、並びにセル間配線の抵抗値および容量値などの特性情報を格納している。ここで、LSIを構成するセルにはそれぞれ固有の名前が付されており、同じ機能のセルであっても互いに区別できるようになっている。この名前のことをインスタンスという。言い換えると、インスタンスは機能毎に分類されたセルをさらに細かく分類したものであり、1つのLSIでは、機能が同じセルは複数個あってもインスタンスはセル毎に異なる。本実施形態および以下の実施形態では、インスタンスが異なるセルは、別のセルとして取り扱うものとする。

【0032】まず遅延計算ステップS10において、回路情報11および遅延ライブラリ12を用いて、対象とするLSIの各セルおよびセル間配線の遅延18と、各セルの入力波形傾き13および出力負荷容量14を計算する。次に遅延劣化ライブラリ生成ステップS20において、遅延ライブラリ12および遅延劣化パラメータ16を基に、推定動作回数15、入力波形傾き13および出力負荷容量14を用いて、前記LSIが前記所定期間動作した後の各セルの遅延パラメータを求め、この遅延パラメータを格納した遅延劣化ライブラリ19を生成する。この遅延劣化ライブラリ19は、各セルの入力波形傾き13および出力負荷容量14を基にして、各セルが推定動作回数15に示される回数だけ動作した後の遅延を遅延パラメータによって表現した遅延ライブラリである。

【0033】次に、この遅延劣化ライブラリ19を遅延ライブラリ12の代わりに用いて、再び遅延計算ステップS10によって遅延計算を行うことにより、前記LSIが前記所定期間動作して劣化した後の各セルおよび各セル間配線の遅延18を計算する。

【0034】以上のような遅延計算ステップS10および遅延劣化ライブラリ生成ステップS20を、繰り返し制御ステップS30によって繰り返し回数17だけ繰り返す。このような処理によって、前記LSIが、前記所定期間と繰り返し回数17との積に相当する期間動作した後の、各セルおよびセル間配線の遅延を計算することができる。

【0035】本実施形態に係るホットキャリア劣化推定

10

20

30

40

50

方法の適用例について、図10に示すような簡易なLSIを対象にした場合を例にとって説明する。図10において、U1、U2、U3はセルに付されたインスタンスである。回路情報11には、各インスタンスU1～U3の特性情報と、各インスタンスU1～U3およびインスタンス間配線の接続情報と、各インスタンス間配線の抵抗値および容量値などの特性情報とが格納されている。

【0036】遅延ライブラリ12は、セルの遅延を計算するために必要な遅延パラメータを格納している。例えば、セルの遅延を入力波形傾きと出力負荷容量の関数またはテーブルとして表している場合には、前記関数の係数や前記テーブルのポイントなどを遅延パラメータとして格納しており、また、セル出力波形を計算するためのパラメータも格納されている。

【0037】推定動作回数15には、各インスタンスU1～U3について、あるテストベクタに対してスイッチング動作を行った回数が記述されている。スイッチング動作回数は消費電力計算に用いられるトグル計算と同様の手法で求めることができ、例えば最初の遅延計算ステップS10において計算した遅延18を用いた論理シミュレーションによって求めることができる。

【0038】遅延劣化パラメータ16では、遅延ライブラリ12に記述された遅延パラメータがスイッチング動作回数15の関数として表されており、前記関数が関数表現またはテーブル表現されている。

【0039】なおここでは繰り返し回数17は1回であるものとする。すなわち、遅延計算ステップS10および遅延劣化ライブラリ生成ステップS20を1回実行し、このとき生成した遅延劣化ライブラリ19を遅延ライブラリ12の代わりに用いて再び遅延計算ステップS10を実行し、この遅延計算ステップS10において計算された遅延18を経年変化後のLSIにおける遅延として求める。

【0040】まず遅延計算ステップS10において、回路情報11および遅延ライブラリ12を用いて、インスタンスU2について、入力端子A2における信号波形の傾きすなわち入力波形傾き13と、出力端子Y2に接続された負荷容量すなわち出力負荷容量14と、動作遅延すなわち遅延18を計算する。このときの計算方法は、従来から用いられている信号波形計算方法または遅延計算方法を用いる。

【0041】次に遅延劣化ライブラリ生成ステップS20において、入力波形傾き13および出力負荷容量14、各インスタンスU1～U3のスイッチング動作回数が記述された推定動作回数15、および遅延劣化パラメータ16を用いて、各インスタンスU1～U3が推定動作回数15に記述されたスイッチング動作回数だけ動作した後の遅延パラメータからなる遅延劣化ライブラリ19を生成する。遅延劣化パラメータ16は、遅延計算を行うために必要な遅延パラメータ毎に、入力波形傾きお

よび出力負荷容量の関数またはテーブルとして表現されているので、与えられた入力波形傾き13および出力負荷容量14に対して、経年変化後のLSIにおける遅延劣化ライブラリ19を生成することができる。

【0042】最後に、再び遅延計算ステップS10において、遅延ライブラリ12の代わりに遅延劣化ライブラリ19を用いて遅延18を計算し、これを経年変化後のLSIにおける遅延とする。

【0043】図2は図1に示す本実施形態に係るホットキャリア劣化推定方法における遅延計算ステップS10の処理の流れを示す図である。図2において、S11は回路情報11と遅延ライブラリ12から回路情報11に含まれる各セルの出力端子における信号波形（以下「セル出力波形」という）を生成するセル出力波形生成ステップ、S12はセル出力波形生成ステップS11によって生成されたセル出力波形、S12は回路情報11およびセル出力波形21から、信号がセル出力端子に接続されたセル間配線を伝播して次段セルに入力されるとして、各セルの入力端子における信号波形（以下「セル入力波形」という）を生成するセル入力波形生成ステップ、S13はセル入力波形生成ステップS12によって生成されたセル入力波形、S13はセル出力波形21およびセル入力波形22から各セルの遅延を計算するセル遅延計算ステップ、S14はセル出力波形21およびセル入力波形22から各セル間配線の遅延を計算する配線遅延計算ステップである。

【0044】回路情報11には、セルの種類（例えば、インバータセル、バッファセルなど）と各セルを接続するセル間配線の接続情報、セル間配線の抵抗値および容量値に関する情報が格納されている。また遅延ライブラリ12には、各セルのセル遅延を計算するために必要な遅延パラメータが格納されている。

【0045】セル出力波形生成ステップS11では、各セルについて、回路情報11から、当該セルが駆動するセル間配線の抵抗値および容量値と前記セルに駆動される被駆動セルの入力端子容量とを抽出するとともに、遅延ライブラリ12から前記セルのドライブ能力を抽出する。そして抽出したこれらのデータを用いて回路方程式を作ることによって、各セルの出力波形を、そのドライブ能力並びに駆動するセル間配線の抵抗値および容量値によって表す。

【0046】セル入力波形生成ステップS12では、セル出力波形生成ステップS11において求めた各セルの出力波形がセル間配線を伝播して前記セルに駆動される被駆動セルに入力するものとして、被駆動セルの入力端子における波形を生成する。ここでは、セル間配線を簡単な形状の配線に縮退して波形を伝播させるアルゴリズム（例えば、Jorge Rubinstein他 'Signal Delay in RC Tree Networks', IEEE Transaction Computer-Aided Design, Vol. CAD-2, No. 3, July 1983を参照）を用いて、各セ

15

ル間配線について、入力波形（当該セル間配線を駆動するセルの出力波形）に対する出力端における応答（前記セルに駆動される被駆動セルの入力波形）を求め、これにより各セルの入力波形を求める。また、各セルについて、入力波形傾き13および出力負荷容量14を求める。

【0047】次に、セル遅延計算ステップS13において、各セルについて、その入力波形および出力波形から、遅延時間を計算する。また、配線遅延計算ステップS14において、各セル間配線について、その入力波形（当該セル間配線を駆動するセルの出力波形）および出力波形（前記セルに駆動される被駆動セルの入力波形）から、遅延時間を計算する。計算した各セルおよび各セル間配線の遅延時間を遅延18として求める。

【0048】図3は図1に示す本実施形態に係るホットキャリア劣化推定方法における遅延劣化ライブラリ生成ステップS20の処理の流れを示す図である。図3において、S21は各セルが推定動作回数15に記述された回数だけ動作することによる、遅延パラメータの変化度を計算するステップ、23はステップS21によって計算された遅延パラメータの変化度合、S22は遅延パラメータ変化度合23を遅延計算ステップS10で用いる遅延ライブラリ12に付加して劣化後の遅延ライブラリを生成するステップである。

【0049】遅延劣化パラメータ16では、セル動作に伴うセル遅延の変化を遅延パラメータの変化によって表しており、この遅延パラメータの変化は、入力波形傾き、出力負荷容量、動作回数、電源電圧および温度をパラメータとしたテーブルまたは関数によって表現される。テーブルで表現する場合は、SPICEシミュレーションまたは実際に製造したLSIにおける実測によって得た値を用いてテーブルを作成し、テーブルの各ポイント（例えば実測値およびこのときの条件）を遅延劣化パラメータ16として登録する。また関数で表現する場合は、実測値に対して関数の係数をフィッティングにより計算し、求めた係数を遅延劣化パラメータ16として登録する。

【0050】遅延パラメータ変化度合23は、ステップS21において、遅延劣化パラメータ16に表されたテーブルまたは関数に、入力波形傾き13、出力負荷容量14および推定動作回数15に格納された各セルについての値、並びに電源電圧および温度を代入することによって計算される。

【0051】そして、ステップS22において、遅延パラメータ変化度合23を劣化前の遅延パラメータを格納している遅延ライブラリ12に付加することによって、劣化後の遅延パラメータを格納した遅延ライブラリすなわち遅延劣化ライブラリ19を生成することができる。

【0052】図4は本実施形態に係るホットキャリア劣化推定方法における推定動作回数15および繰り返し回

16

数17を決定するフローを示す図である。図4において、31は対象とするLSIの信頼性の劣化を推定する際に設定する年数、32は対象とするLSIを構成する各セルの所定のテストベクタに対する動作回数であるテスト動作回数、33は前記テストベクタがLSIに入力されてから全セルが処理を完了するまでの処理時間、S41は年数31における各セルの総動作回数を計算する総動作回数計算ステップ、34は各セルの総動作回数、35は総動作回数34の分割数、S42は総動作回数34を分割数35に従って分割する動作回数分割ステップ、17は繰り返し回数（＝分割数35）、15は繰り返し1回当たりの推定動作回数である。

【0053】総動作回数計算ステップS41では、テスト動作回数32および処理時間33から、年数31の間テストベクタが入力されつづけた場合の各セルの総動作回数34を計算する。この計算には次のような式を用いる。

$$\text{総動作回数34} = (\text{テスト動作回数32} / \text{処理時間33}) \times 1 \text{年間の総時間} \times \text{年数31}$$

【0054】次に、総動作回数34の分割方法について説明する。セルの遅延劣化を計算する場合には、動作1回毎に劣化を計算する方法と数回の動作毎に劣化を計算する方法とが考えられる。動作回数分割ステップS42では、総動作回数34を、分割数35に従い、遅延劣化を計算するための推定動作回数15と遅延劣化計算の繰り返し回数17とに分割する。

【0055】このとき、遅延劣化の影響を正確に計算する必要がある場合には、分割数35を大きく設定して、繰り返し回数17を大きくするとともに推定動作回数15を小さく設定する一方、逆に遅延劣化計算の処理速度を向上させるためには、分割数35を小さく設定することによって、繰り返し回数17を小さくするとともに推定動作回数15を大きく設定する。

【0056】このようにして求めた推定動作回数15および繰り返し回数17を用いて、図1に示す本実施形態に係るホットキャリア劣化推定方法を実現することができる。また分割前の総動作回数34は、後述する第3および第4の実施形態における推定動作回数として用いることができる。

【0057】（第1の実施形態の変形例）また、第1の実施形態における遅延計算ステップS10は、セル入力間の波形伝播を考慮して、すなわち対象とするLSIの入力信号が各セルを伝播することを想定して実行してもよい。この場合には、遅延計算ステップS10におけるセル出力波形生成ステップS11が第1の実施形態と異なる。

【0058】図2に示すように、本変形例に係るセル出力波形生成ステップS11では、各セルについて、回路情報11から、当該セルが駆動するセル間配線の抵抗値および容量値と前記セルに駆動される被駆動セルの入力

端子容量とを抽出するとともに、遅延ライブラリ12から当該セルのドライバ抵抗を抽出する。さらに、破線で示すように、セル入力波形22から前記セルのセル入力波形を抽出する。そして抽出した被駆動セルの入力端子容量およびセル間配線の抵抗値および容量値と、そのセルのドライバ抵抗から、等価容量計算アルゴリズムを用いて、前記セルに対して応答が等価な等価容量を計算する(例えばJessica Qian他 "Modeling the "Effective Capacitance" for the RC Interconnect of CMOS Gate s", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol.13, No.12, pp.1526-pp.1535, December, 1994を参照)。

【0059】求めた等価容量と前記セルの入力波形とを用いて、遅延ライブラリ12に登録された波形伝播テーブル(セル入力波形傾きおよび出力負荷容量に対してセル出力波形傾きをテーブル化したもの)または波形伝播関数(前記テーブルを構成するポイントに対して係数フィッティングして求めたもの)から、前記セルの出力波形を計算する。

【0060】セル出力波形生成ステップS11以外のステップについてはすでに説明した第1の実施形態と同様に実行することによって、セル入出力間の波形伝播を考慮したホットキャリア遅延劣化計算方法を実現することができる。

【0061】(第2の実施形態)図5は本発明の第2の実施形態に係るホットキャリア劣化推定方法を示すフローである。図5において、図1と共通の構成要素には図1と同一の符号を付している。図5では、図1に示す構成に、フォールスパス検出ステップS31、配線劣化算出ステップS32およびセル除去ステップS33が追加されている。

【0062】まずフォールスパスについて図6を用いて説明する。ここで1つ定義をしておく。図6に示すような論理回路において、一の外部入力から一の外部出力までの経路について、経路先端すなわち前記一の外部入力の信号変化が経路終端すなわち前記一の外部出力の信号変化として直接表れるように前記一の外部入力以外の外部入力を設定できるとき、その経路は静的に活性化されているという。

【0063】経路を静的に活性化するためには、経路上の各論理素子について、その経路に属さない入力を、経路上における信号変化の伝播を妨げない値に設定すればよい。図6において、太線で示すような経路C→H→K→L→Mを例にとると、Hを出力とするANDゲート102についてはD=1、Kを出力とするORゲート105についてはE=0、Lを出力とするANDゲート106についてはF=1、Mを出力とするORゲート107についてはI=J=0と設定すればよい。そこで、このような設定が外部入力から設定可能かどうかを判定する。この例では、IとJとをともに0にするように外部

入力を設定することはできない。すなわち、経路C→H→K→L→Mは静的に活性化できないことになる。このような静的に活性化できない経路をフォールスパスという。

【0064】静的に活性化できないということは、少なくともMの出力は常に同じ値であるということである。遅延劣化はセル動作に起因して生じるので、出力が常に同じ値を持つセルについては遅延劣化は生じない。したがって、フォールスパスの終端に位置するセルは遅延劣化推定の対象から除去することができる。

【0065】図5において、フォールスパス検出ステップS31において、回路情報11からフォールスパスを検出する。そしてこの検出結果を基にして、遅延劣化ライブラリ生成ステップS20を実行する前に、セル除去ステップS33において、フォールスパスの終端に位置する信号変化が常に生じない出力端子をもつセルを予め除去する。これにより、遅延劣化ライブラリ生成ステップS20において対象とするセルの個数を削減することができ、処理の高速化を図ることができる。

【0066】また配線劣化算出ステップS32は、時間的経過による配線抵抗と配線容量の変化を求める。図5において、配線劣化量算出ステップS32は、回路情報11に有する配線抵抗および配線容量を入力として、新たな配線抵抗および配線容量を出力する。このとき、セルおよびセル間配線の接続関係は変化させない。遅延計算ステップS10は、この新たな配線抵抗および配線容量と遅延ライブラリ12とを基にして、入力波形傾き13および出力負荷容量14を計算する。遅延劣化計算を繰り返す場合は、遅延劣化ライブラリ生成ステップS20において入力波形傾き13および出力負荷容量13を基にして新たな遅延劣化ライブラリ19を生成し、この遅延劣化ライブラリ19を遅延ライブラリ12の代わりに用いて遅延計算ステップS10を再び実行する。一方、遅延劣化計算を終了する場合は、遅延計算ステップS10は遅延18を併せて計算する。このように、配線劣化算出ステップS32において、LSIの初期状態を表す回路情報11のセル間配線の特性情報に時間的経過の影響を反映させることによって、より精度の高い遅延計算を行うことができる。

【0067】(第3の実施形態)図7は本発明の第3の実施形態に係るホットキャリア劣化推定方法を示すフローである。図7において、40は対象とするLSIが所定期間動作したときの各セルの推定動作回数、41はセル動作に起因するセル遅延劣化を計算するための遅延ライブラリであって、想定したセル動作回数がそれぞれ異なる複数の遅延ライブラリからなる遅延ライブラリ群、S51は遅延ライブラリ群41を基にして、推定動作回数40を用いて、各セルについて前記LSIが前記所定期間動作した後の遅延パラメータを求め、これらの遅延パラメータを格納した遅延劣化ライブラリを生成する遅

19

遅延劣化ライブラリ生成ステップ、42は遅延劣化ライブラリ生成ステップS51によって生成された遅延劣化ライブラリ、43は前記LSIについてのセルの特性情報、セルおよびセル間配線の接続情報、並びにセル間配線の抵抗値および容量値などの特性情報を格納した回路情報、S52は遅延劣化ライブラリ42および回路情報43を基にして、セルおよびセル間配線の遅延時間を計算する遅延時間計算ステップ、44は遅延計算ステップS52によって計算されたセルおよびセル間配線の遅延である。

【0068】推定動作回数40は、所定のテストベクタを前記LSIに与えたときの各セルの動作回数を基にして求めることができる。例えば、第1の実施形態の推定動作回数15および繰り返し回数17を求める方法(図4)における総動作回数34を、本実施形態の推定動作回数40として用いばよい。

【0069】遅延ライブラリ群41は、少なくとも2種類以上の動作回数について、セル毎に劣化を付加した遅延ライブラリの集まりである。例えば、1回動作したときの各セルについての遅延ライブラリ、100回動作したときの各セルについての遅延ライブラリ、10000回動作したときの各セルについての遅延ライブラリなどが準備されている。また各遅延ライブラリでは、セルの入力波形傾きおよび出力負荷容量は所定の値に固定されているものとする。

【0070】遅延劣化ライブラリ生成ステップS51において、遅延ライブラリ群41から、推定動作回数40についての遅延劣化ライブラリ42を生成する。遅延劣化ライブラリ42は、前記LSIが、推定動作回数40を設定する際に想定した前記所定期間だけ動作した後、各セルの遅延パラメータを格納する。

【0071】遅延計算ステップS52において、各セルの遅延パラメータを格納した遅延劣化ライブラリ42および回路情報43を基にして、各セルおよび各セル間配線の遅延44を計算する。この遅延44を基にして、各セルが推定動作回数40に記述された回数だけ動作した後の、前記LSIのホットキャリア劣化を推定することができる。

【0072】図8は本実施形態に係る遅延劣化ライブラリ生成ステップS51を説明するための図であり、遅延計算に必要な遅延パラメータ k ($1 \leq k \leq n$)と動作回数との関係を表すグラフである。図8において、縦軸は各遅延パラメータ、横軸は動作回数である。また、 x は推定動作回数40に各セルについて記述された、遅延劣化ライブラリに格納する遅延パラメータを求めるための動作回数、 a は遅延ライブラリ群41に遅延ライブラリが準備された動作回数のうち回数 x を越えない最大の動作回数、 b は遅延ライブラリ群41に遅延ライブラリが準備された動作回数のうち回数 x を下回らない最小の動作回数、 k_a は動作回数 a のときの遅延パラメータ k の

20

値、 k_b は動作回数 b のときの遅延パラメータ k の値、51は補正曲線、 k_x は補正曲線51から求めた動作回数 x のときの遅延パラメータ k の値である。

【0073】遅延ライブラリ生成ステップS51について、図8を用いて説明する。各セルについて、遅延ライブラリ群41から、動作回数 x を越えない最大の動作回数 a の遅延ライブラリおよび動作回数 x を下回らない最小の動作回数 b の遅延ライブラリを選択する。そして当該セルの遅延パラメータ k について、動作回数 x のときの値 k_x を、動作回数 a のときの値 k_a および動作回数 b のときの値 k_b から補間曲線51を用いて補間する。ただし、補間曲線51は1次式、2次式などの任意の関数を用いる。また、動作回数 x が遅延ライブラリ群41に遅延ライブラリが準備された動作回数の最大値よりも大きいとき、または最小値よりも小さいときは、動作回数 x に最も近い2つの動作回数の遅延ライブラリを用いて、補間を行う。

【0074】以上のような動作回数 x についての遅延パラメータの補間をすべての遅延パラメータに対して行うことによって、推定動作回数40についての遅延劣化ライブラリ42を生成することができる。

【0075】なお、図8では遅延ライブラリにおいて各遅延パラメータは相互に独立に表されているものとしているが、遅延パラメータが相互依存するとして例えば n (n は2以上の自然数)次元テーブル形式によって表されていても、同様に、遅延パラメータの相互依存性を表すテーブル形式によって、動作回数40についての遅延劣化ライブラリ42を生成することができる。

【0076】また遅延計算ステップS52では、第1の実施形態において示した遅延計算アルゴリズム、または、前記遅延パラメータを用いて計算することができる任意のアルゴリズムを適用することによって、遅延計算を行う。

【0077】以上のように、遅延ライブラリをあらかじめ動作回数毎に複数個準備しておき、この遅延ライブラリ群から選択した遅延ライブラリを用いて、推定した動作回数についての遅延パラメータを補間により求めることによって、遅延劣化ライブラリを生成することができる。そして、この遅延劣化ライブラリを用いた遅延計算を行うことによって、対象とするLSIの実際の動作に即した遅延劣化を推定することができる。

【0078】(第4の実施形態)図9は本発明の第4の実施形態に係るホットキャリア劣化推定方法を示すフローである。図9において、61は対象とするLSIについて、各セルの特性情報、セルおよびセル間配線の接続情報、並びにセル間配線の抵抗値や容量値などの特性情報を格納した回路情報、62は全く劣化していない前記LSIの各セルの遅延パラメータを格納した遅延ライブラリ、63は前記LSIが所定期間動作したときの各セルの推定動作回数、64はホットキャリアの影響による

21

セルの遅延の変化をセル動作回数に伴う遅延パラメータの変化によって表した場合における、遅延パラメータの、変化前に対する変化量（差分量）を格納した遅延劣化パラメータ、S61は遅延計算ステップ、65は劣化前の前記LSIにおけるセルおよびセル間配線の遅延時間を表す遅延、66は各セルの出力負荷容量、67は各セルの入力波形傾き、S62はセルおよびセル間配線の遅延劣化量を計算する遅延劣化量計算ステップ、68はセルおよびセル間配線の遅延劣化量（遅延65に対する差分量の形で表される）、S63は遅延65と遅延劣化量68から劣化後の遅延を計算するステップ、69はステップS63によって計算したホットキャリア劣化後の遅延である。遅延劣化パラメータ64では、セルの入力波形傾きおよび出力負荷容量は所定の値に固定されているものとする。

【0079】遅延計算ステップS61において、回路情報61および全く劣化していないときの遅延パラメータを格納した遅延ライブラリ62から、全く劣化していないときの各セルおよび各セル間配線の遅延65、並びに各セルの出力負荷容量66および入力波形傾き67を計算する。この遅延計算は、第1の実施形態で示したアルゴリズムや遅延パラメータを用いて計算する任意の遅延計算アルゴリズムを用いて実行される。

【0080】次に、遅延劣化量計算ステップS62において、各セルの出力負荷容量66および入力波形傾き67と、各セルの推定動作回数63および遅延劣化パラメータ64とから、全く劣化していないときの遅延65に対する差分である遅延劣化量68を計算する。

【0081】最後に、劣化後遅延計算ステップS63において、全く劣化していないときの遅延65と推定動作回数63に対する遅延劣化量68とを足し合わせることで、劣化後の遅延69を計算する。

【0082】以上のように本実施形態によると、従来から用いられている、全く劣化していないときの遅延パラメータを格納した遅延ライブラリを更新することなく、ホットキャリア劣化後の遅延を求めることができる。すなわち、全く劣化しないときの遅延に対する遅延劣化量をライブラリ化していることが特徴である。

【0083】（第5の実施形態）図11は本発明の第5の実施形態に係るホットキャリア劣化推定方法を示す図である。図11において、71は対象となるLSIのレイアウトデータから得られる寄生抵抗および容量データ、72は遅延計算用のセルライブラリである遅延ライブラリ、S71は遅延計算ステップ、S72は論理シミュレーションステップ、S73は遅延劣化ライブラリ生成ステップである。遅延ライブラリ72は、従来用いられていたものと同様であり、あらかじめセルの種類だけ準備されている。

【0084】遅延計算ステップS71において、寄生抵抗および容量データ71および遅延ライブラリ72を基

22

にして、セルと配線の遅延を計算する。この計算結果は、遅延計算結果73に格納される。遅延計算において用いられる情報は、各セルの入力波形傾きと出力負荷容量であり、この両者は寄生抵抗および容量データ71から算出することが可能である。また、遅延計算ステップS71の計算過程において、各セルの入力波形傾きと出力信号波形が計算され、それぞれ、入力波形傾き77と出力負荷容量78とに格納される。

【0085】次に論理シミュレーションステップS72において、遅延計算結果73および対象とするLSIの論理ネットリスト75（寄生抵抗および容量データ71と対応している）を基にして、論理シミュレーションを実行する。論理シミュレーションは回路の動作を詳細にシミュレーションするものなので、ある論理回路（ここでは論理セル）の動作回数も計算することができる。求めた動作回数は、推定動作回数76に格納される。

【0086】次に遅延劣化ライブラリ生成ステップS73において、遅延計算の対象とする論理回路に属するセルのみについてのセルライブラリを生成する。このとき、基にするデータは、推定動作回数76、入力波形傾き77および出力負荷容量78である。ここでは、同種のセルについても別のものとして、すなわち、インスタンス毎に、セルライブラリを生成する。これによって、一旦遅延計算された結果を反映した（セルインスタンス毎の）セルライブラリである遅延劣化ライブラリ79を生成することができる。

【0087】ここで特徴的なのは、先の遅延計算ステップS71ではセルの入力波形傾きと出力負荷容量を基に遅延計算を行ったのに対して、遅延劣化ライブラリ生成ステップS73では、基にするデータとして、さらにセルの推定動作回数76が加わった点である。このことは、セルの遅延時間を動作回数に応じて変化させることが可能になる、例えばホットキャリア効果のような現象を遅延時間に反映させることが可能であることを意味する。

【0088】そして、この遅延劣化ライブラリ79を用いて、遅延計算ステップS71を再び実行する。計算結果は、本実施形態に係る方法の最終結果として遅延計算結果73に格納される。

【0089】この遅延計算結果73を基にして論理シミュレーションステップS72を実行すれば、セルの動作回数の影響を反映した、より実際のLSIの動作に近いタイミング検証が可能となる。なお、遅延劣化ライブラリ生成ステップS73および遅延計算ステップS71を所定回数繰り返すことも可能である。

【0090】以上のように本実施形態によると、遅延劣化ライブラリ生成ステップS73において、論理シミュレーションの結果もとりに入れた情報を基にして、インスタンス毎の遅延劣化ライブラリ79を生成することができるので、より精度の高いタイミング検証を行うことが

できる。

【0091】またフォールスパス除去ステップS74は、寄生抵抗および容量データ71を基にして、任意の入力信号波形に対して出力信号波形が変化しないようなフォールスパスを検出し、検出結果を基に寄生抵抗および容量データ71を修正するステップであり、修正された寄生抵抗および容量データ71は遅延計算ステップS71に与えられる。その後の処理は前記の説明と同様である。

【0092】

【発明の効果】以上のように本発明によると、ホットキャリアの影響によるLSIの信頼性の劣化をその実際の動作に即して推定することが可能になり、これによって、LSIのタイミングの経年変化を推定することができる。例えば、あるパスにおいて、経年変化によってタイミングエラーが生じることが分かった場合には、そのパスを構成するセルを経時劣化の少ないセルに置き換えることによって、経年変化によるタイミングエラーを未然に回避することができる。また、前記パスを構成するセルの動作回数が少なくなるように、前記パスに関わる回路の論理を変更することによって、動作回数に依存するタイミングの経年変化を小さく抑えることも可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るホットキャリア劣化推定方法を示す図である。

【図2】図1に示す本発明の第1の実施形態に係るホットキャリア劣化推定方法における遅延計算ステップを示す図である。

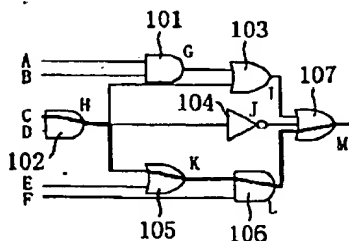
【図3】図1に示す本発明の第1の実施形態に係るホットキャリア劣化推定方法における遅延劣化ライブラリ生成ステップを示す図である。

【図4】図1に示す本発明の第1の実施形態に係るホットキャリア劣化推定方法において用いる、推定動作回数および繰り返し回数を求める方法を示す図である。

【図5】本発明の第2の実施形態に係るホットキャリア劣化推定方法を示す図である。

【図6】フォールスパスを説明するための図である。 *

【図6】



*【図7】本発明の第3の実施形態に係るホットキャリア劣化推定方法を示す図である。

【図8】本発明の第3の実施形態に係るホットキャリア劣化推定方法における遅延劣化ライブラリ生成ステップを説明するための図である。

【図9】本発明の第4の実施形態に係るホットキャリア劣化推定方法を示す図である。

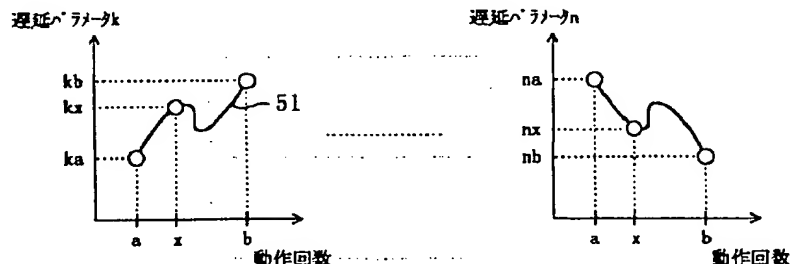
【図10】本発明の第1の実施形態に係るホットキャリア劣化推定方法を説明するための、対象となるLSIの例を示す図である。

【図11】本発明の第5の実施形態に係るホットキャリア劣化推定方法を示す図である。

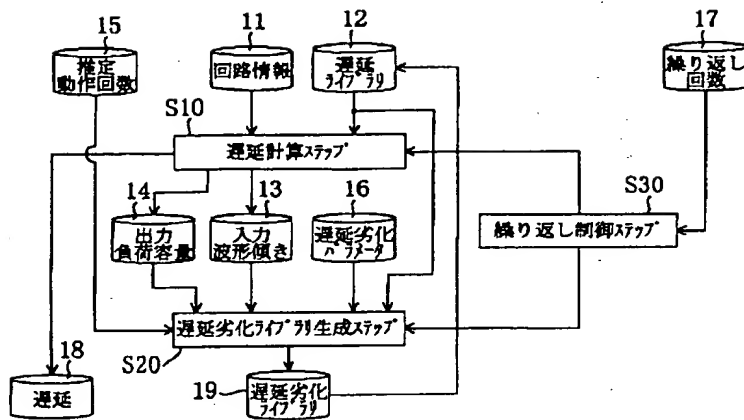
【符号の説明】

- S10, S52, S61 遅延計算ステップ
- S11 セル出力波形生成ステップ
- S12 セル入力波形ステップ
- S13 セル遅延計算ステップ
- S14 配線遅延計算ステップ
- S20, S51 遅延劣化ライブラリ生成ステップ
- S31 フォールスパス検出ステップ
- S32 配線劣化算出ステップ
- S33 セル除去ステップ
- S62 遅延劣化量ステップ
- S63 劣化後遅延計算ステップ
- 11, 43, 61 回路情報
- 12, 62 遅延ライブラリ
- 13, 67 入力波形傾き
- 14, 66 出力負荷容量
- 15, 40, 63 推定動作回数
- 16, 64 遅延劣化パラメータ
- 17 繰り返し回数
- 18, 44, 65, 69 遅延
- 19, 42 遅延劣化ライブラリ
- 21 セル出力波形
- 22 セル入力波形
- 41 遅延ライブラリ群
- 68 遅延劣化量

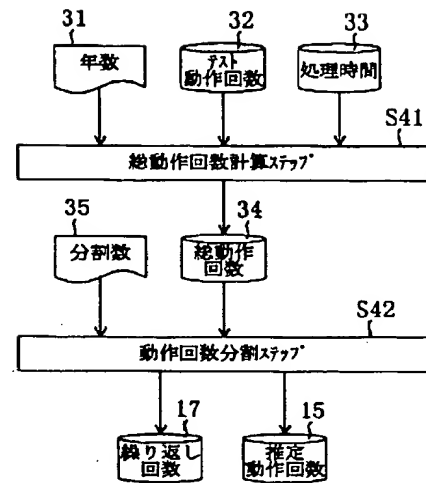
【図8】



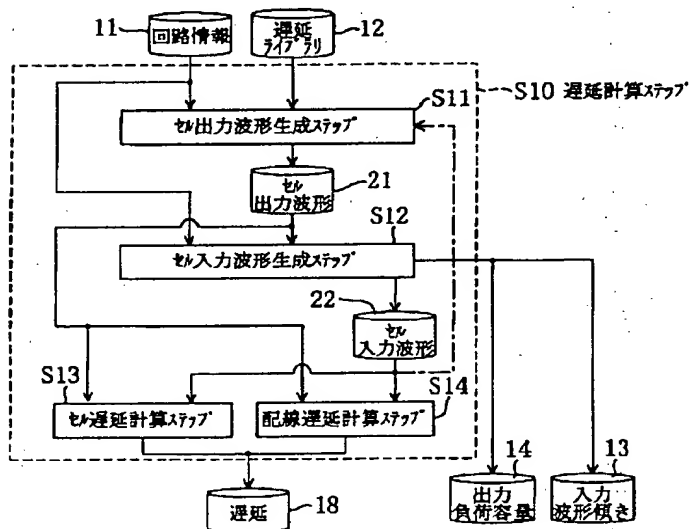
【図1】



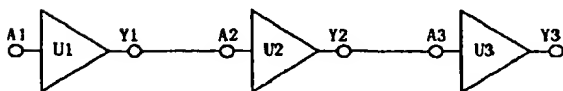
【図4】



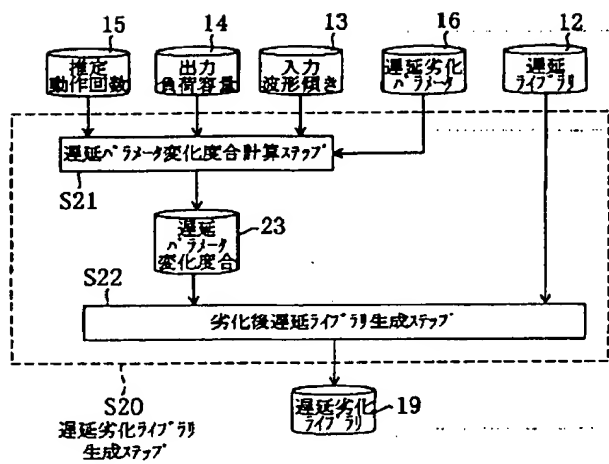
【図2】



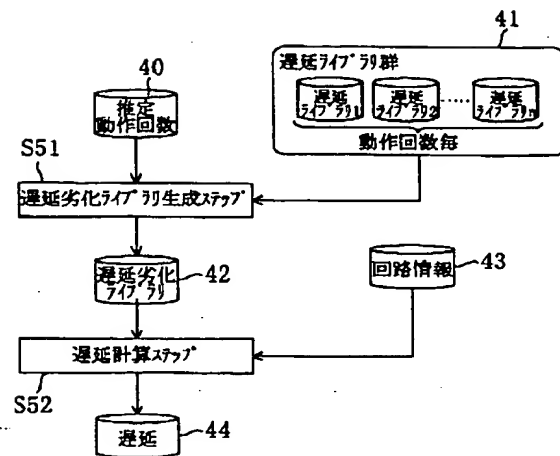
【図10】



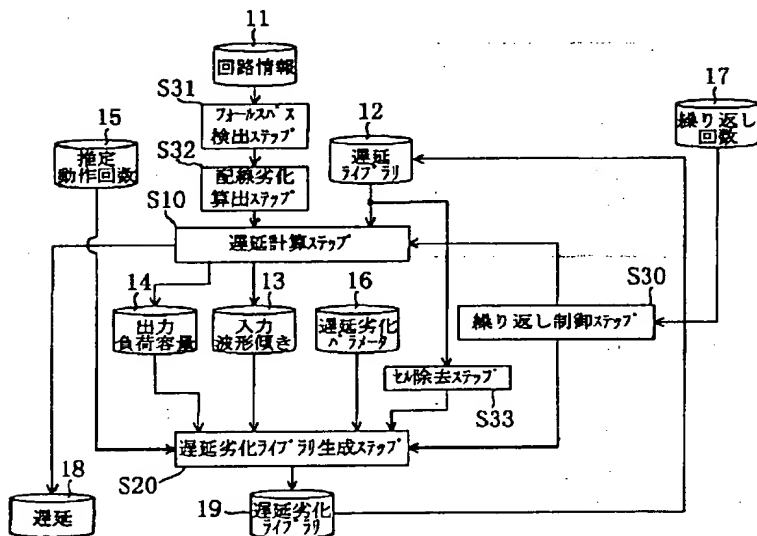
【図3】



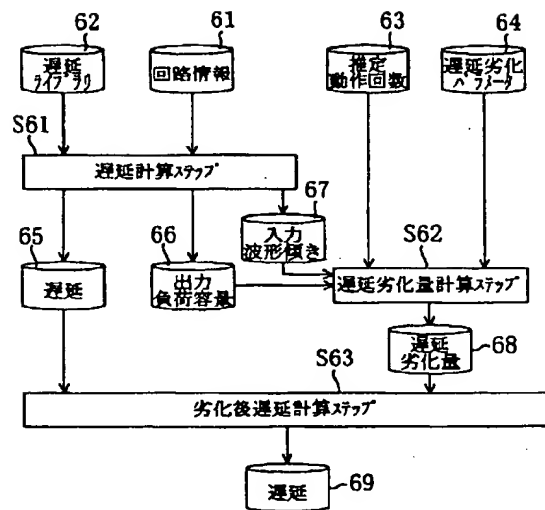
【図7】



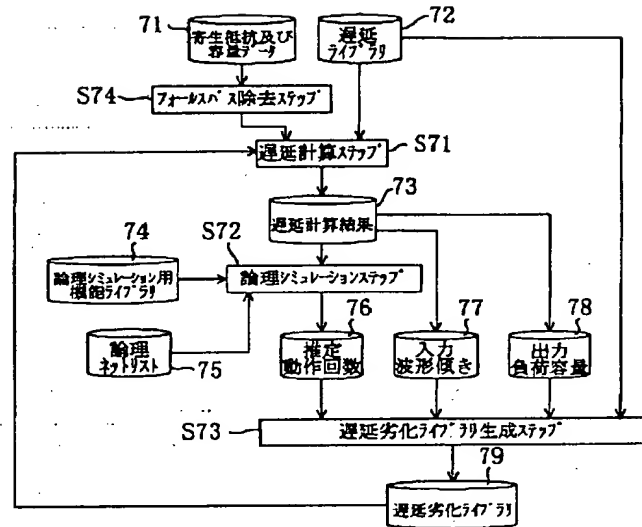
【図5】



【図9】



【図11】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

G06F 17/50
H01L 21/82
G01R 31/28